

УДК 621.396.41

С.С. Тюнин, Д.Б. Бородин, В.А. Кабиров, В.Д. Семенов

Драйвер нижнего ключа с повышением логического уровня управляющего сигнала*

*Работа выполнена в рамках реализации постановления Правительства РФ от 09.04.2010г. №218, и договор между АО «ИСС» и Минобрнауки РФ от 01.12.2015г. №02.G25.31.0182

Представлена схема и принцип работы драйвера нижнего ключа для управления силовыми МОП – транзисторами в модуле стабилизации напряжения космического корабля, обеспечивающая низкое потребление мощности от входного и выходного источников питания.

Ключевые слова: драйвер, алгоритм, схема повышения логического уровня, преобразователи уровня, транзистор.

Для повышения значения показателя «мощность/масса Вт/кг» и КПД модуля стабилизации напряжения (МСН) система управления МСН была реализована на базе программируемой логической интегральной схемы (ПЛИС). При этом было выявлено, что на отечественном рынке отсутствуют схемотехнические решения драйверов специального назначения с преобразованием логического уровня от 2,8-3,3 В до 12-15В. Были рассмотрены варианты общепромышленных ИС с функцией повышения логического уровня, но от данного решения мы отказались, так как это приводит к неоправданному повышению потребляемой мощности, как от источника питания низкого уровня, так и высокого. Были сформулированы требования к схеме драйвера нижнего ключа на дискретных элементах. Требования представлены в таблице 1.

Таблица 1
Требования к драйверу МСН

Наименование параметра	Значение	Комментарий
Уровень логической единицы входного сигнала	3.3 В и менее	Уровень выходного сигнала ПЛИС
Уровень логической единицы выходного сигнала	12 В и более	Определяется типом силового ключа
Выходной ток	>2 А	Определяется емкостью силового ключа и требуемой скоростью переключения транзистора
Время задержки распространения сигнала	< 100 нс	
Время нарастания напряжения на эквиваленте транзистора	≈40 нс	

Обзор [2,3,4] научно-технической и патентной литературы и ее анализ позволили создать решение, структурная схема которого представлена на Рис.1.

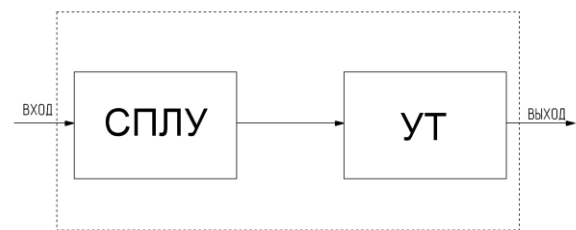


Рис. 1. – структурная схема драйвера нижнего уровня

Структурная схема состоит из двух основных функциональных узлов – узла схемы повышения логического уровня (СПЛУ) и узла усилителя тока (УТ). Принципиальная схема изображена на Рис.2

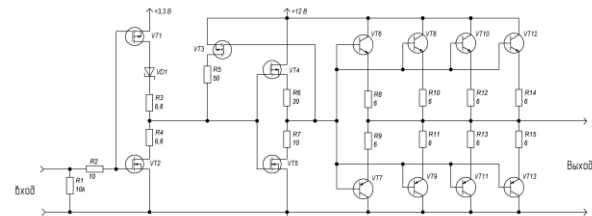


Рис. 2. – принципиальная схема драйвера нижнего уровня

Четыре параллельных каскада транзисторов VT6-VT13, включенных по схеме с общим эмиттером, образуют УТ. В каскаде используются комплементарные биполярные транзисторы. Для выравнивания тока в параллельно включенных транзисторах, введены резисторы R8-R15. Транзисторы УТ должны быть выбраны с максимально допустимым напряжением коллектор-эмиттер не ниже 12В, импульсный ток не ниже 2А и иметь высокое быстродействие. В качестве транзисторов выходного каскада можно использовать транзисторы 2Т664, 2Т665. В данной работе использовались транзисторы BCX52 и BCX55, являющихся аналогом указанных транзисторов.

Схема повышения логического уровня состоит из входного и выходного КМОП инвертора с положительной обратной связью. Входной КМОП инвертор включает в себя транзисторы VT1, VT2, диод VD1 и резисторы R1-R4. Выходной инвертор состоит из транзисторов VT4, VT5 и резисторов R6, R7.

Положительная обратная связь реализована на транзисторе VT3 и резистор R5. Резисторы, включенные в стоки транзисторов, ограничивают ток, протекающий через транзисторы в момент их переключения. Диод VD1 не допускает протекание тока от канала питания 12В в канал питания 3.3 В через транзистор VT1 при открытом транзисторе VT3.

Принцип работы

Предлагаемый драйвер имеет два устойчивых состояния. Первое состояние это, состояние включенного силового МОП транзистора, когда на входе драйвера высокий логический уровень и на выходе драйвера также высокий логический уровень. Второе состояние – состояние выключенного силового МОП транзистора, когда на входе драйвера низкий логический уровень и на его выходе также низкий логический уровень.

На Рис.3 представлена схема драйвера в первом состоянии, а на Рис.4 во втором состоянии, (серым цветом помечены транзисторы и диод, находящиеся в разомкнутом состоянии, черным цветом помечены транзисторы, находящиеся в замкнутом состоянии).

Оба состояния являются устойчивыми и дополнительного пояснения не требуют.

Интервал времени t_0-t_1

На вход схемы драйвера приходит напряжение логической единицы, входные паразитные емкости транзисторов VT1 и VT2 заряжаются, через резистор R2. Момент времени t_1 определяется достижения напряжения на затворе транзистора VT2 порога открытия $U_{3И(th)VT2}$.

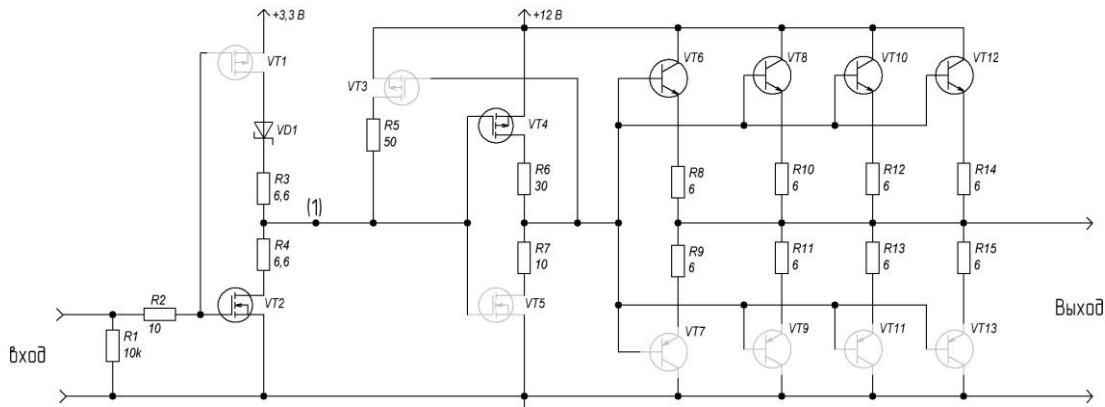


Рис.3. - состояние включенного МОП транзистора при подаче на вход логической единицы

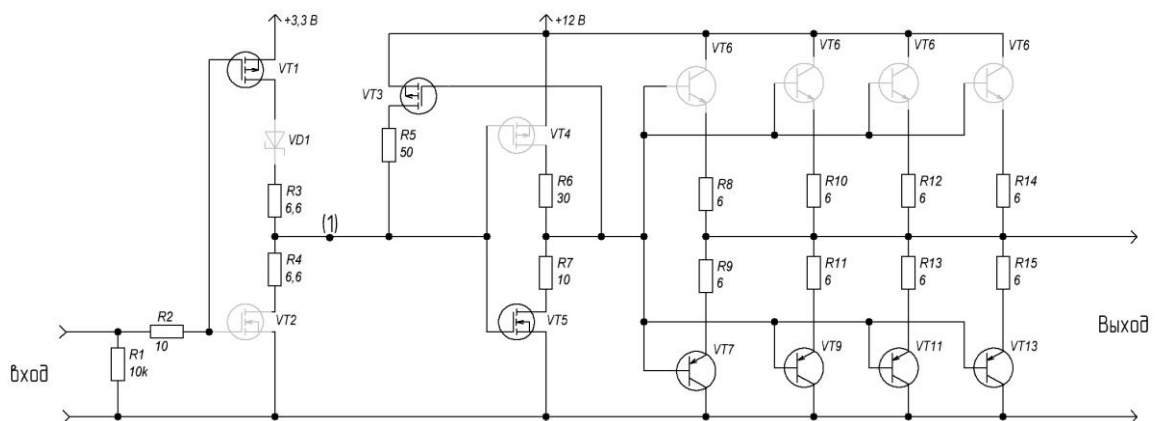


Рис.4. - состояние включение МОП транзистора при подаче на вход логического нуля

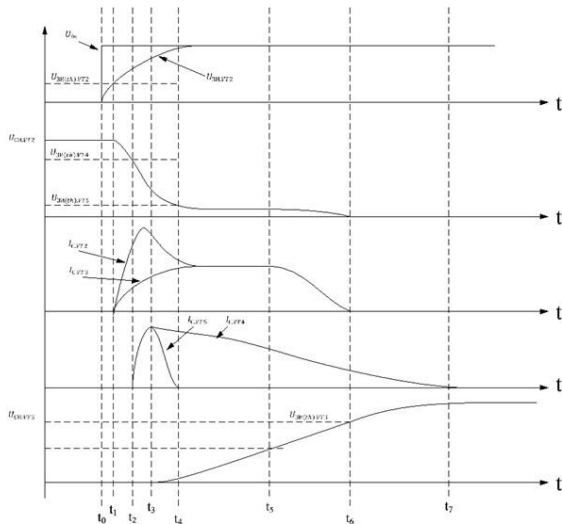


Рис. 5 – диаграммы напряжения и тока при первом состоянии

Интервал времени t1-t2

Рост напряжения на затворе транзистора VT2 приводит к нарастанию тока по контуру источник питания 12В – транзистор VT3 – резистор R5 – резистор R4 – транзистор VT2. Ток стока транзистора VT2 $I_{с.VT2}$ определяется выражением[1]:

$$I_{с.VT2} = 0.5 \cdot b_{VT2} \cdot (U_{зи.VT2} - U_{зи(th).VT2})^2 \quad (1)$$

где: b_{VT2} – удельная крутизна МОП – транзистора, мА/В². Данное выражение показывает значения тока в интервале времени в стоки транзистора VT2.

Эквивалентная схема СПЛУ в интервале времени t1-t2 изображена на Рис. 6.

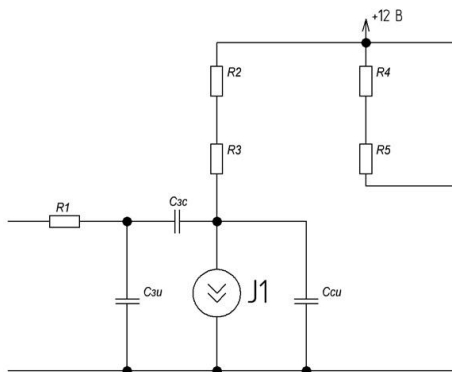


Рис. 6 Эквивалентная схема СПЛУ на интервале времени t1-t2

Момент времени t_2 в точке 1 рис. 3, рис. 4 напряжения достигает порогового значения $U_{зи(th).VT4}$

Интервал времени t2-t3

Дальнейшее снижение напряжения на $U_{зи.VT2}$ приводит к нарастанию тока через сток транзистора VT4 $I_{с.VT4}$ по закону

$$I_{с.VT4} = 0.5 \cdot b_{VT4} \cdot (U_{зи.VT4} - U_{зи(th).VT4})^2 \quad (2)$$

Данное выражение показывает значения тока в интервале времени в стоки транзистора VT4. В данный промежуток времени через транзисторы VT4, VT5 протекает ток, так как оба транзистора находят-

ся в области насыщения. Ток через стойку транзисторов продолжает протекать до тех пор, пока транзистор VT5 не выйдет из насыщения, момент времени t_3 .

Интервал времени t3-t4

На интервале времени t_3-t_4 транзистор VT5 находится в активном режиме, по мере снижения напряжения на затворе $U_{зи.VT5}$ ток через транзистор снижаться по закону

$$I_{с.VT5} = 0.5 \cdot b_{VT5} \cdot (U_{зи.VT5} - U_{зи(th).VT5})^2 \quad (3)$$

Данное выражение показывает значения тока в интервале времени в стоки транзистора VT5. При этом часть тока транзистора VT4, через двухтактный эмиттерный повторитель, заряжает выходную емкость (емкость затвора силового транзистора). Напряжение на выходе выходного КМОП инвертора начинает возрастать. Момент времени t_4 определяется достижением напряжения $U_{зи.VT5}$ напряжения порога открытия $U_{зи(th).VT5}$ в точке 1 рис. 3, рис. 4

Интервал времени t4-t5

Весь ток транзистора VT4 через эмиттерный повторитель заряжает выходную емкость. Напряжение на выходе выходного КМОП инвертора продолжает расти.

Напряжение на затворе транзистора VT5 $U_{зи.VT5}$ достигает значения, определяемое выражением:

$$U_{зи.VT5} = 12В \cdot \frac{R_{VT2.on}}{R_{VT2.on} + R_5 + R_{VT3.on}} \quad (4)$$

где: $R_{VT2.on}$ и $R_{VT3.on}$ – сопротивление открытого канала транзисторов VT2 и VT3. Из данного выражения можно определить максимальные значения сопротивления открытых каналов транзисторов VT2, VT3 и сопротивление R5, при которых транзистор VT5 будет находиться в зоне отсечки

Токи стоков транзистора VT2 $I_{с.VT2}$ и VT3 $I_{с.VT3}$ сравниваются. Момент времени t_5 определен моментом достижения напряжения на затворе транзистора VT3, при котором транзистор переходит в активный режим работы.

Интервал времени t5-t6

Транзистор VT3 начинает работать в активном режиме. Абсолютное значение $U_{зи.VT3}$ уменьшается, тем самым уменьшая ток стока транзистора VT3 $I_{с.VT3}$. Напряжение на затворе транзистора VT5 $U_{зи.VT5}$ снижается до 0.

В момент времени t_6 напряжение на затворе транзистора VT3 достигает напряжения порога закрытия $U_{зи(th).VT3}$, ток через транзистор прекращает протекать.

Интервал времени t6-t7

Напряжение на выходе драйвера достигает своего максимального значения. Ток транзистора VT4 $I_{с.VT4}$ снижается до нуля. Процесс переключения из состояния выключенного силового МОП транзистора в состояние включенного МОП транзистора заканчивается.

Переключение из состояния включенного силового МОП транзистора в состояние выключенного силового МОП транзистора.

В исходном состоянии схема находится в состоянии включенного силового МОП транзистора. Транзисторы VT2, VT4 замкнуты, транзисторы VT1, VT3, VT5 разомкнуты. На выходе формируется напряжение логической единицы с размахом 12В. На вход схемы драйвера также приходит напряжения уровня логической единицы. Момент времени t_0 обусловлен моментом подачи логического нуля на вход драйвера.

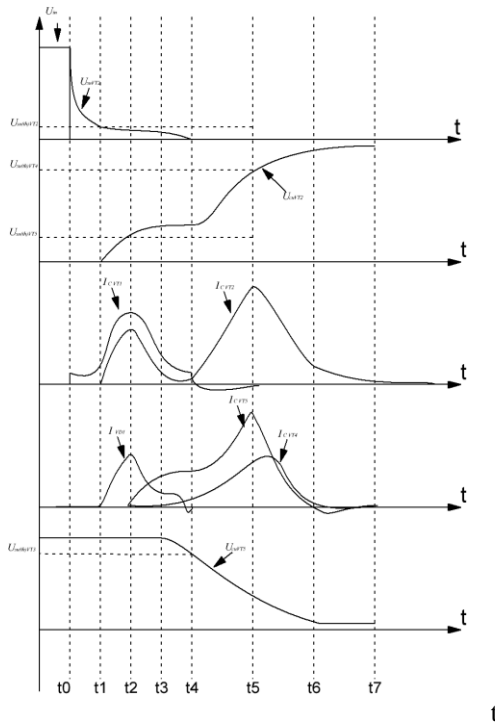


Рис. 6 – диаграммы напряжения и тока при втором состоянии

Интервал времени t_0-t_1

На вход схемы драйвера приходит напряжение логического нуля, входная емкость транзистора VT2 разряжаются, а VT1 заряжается. При достижении напряжения на затворе транзистора VT2 порога закрытия, транзистор начинают закрываться, а транзистор VT1 открывается. В момент времени t_1 напряжения на затворе транзистора VT2 достигает порогового значения $U_{зи(th)VT2}$.

Интервал времени t_1-t_2

Спад напряжения на затворе транзисторов VT2, VT1 приводит к нарастанию тока по контуру источник питания 3.3 В – транзистор VT1 – резистор R3 – емкости затвор-исток транзисторов VT4, VT5, и росту напряжения на $U_{сиVT2}$ транзистора VT2. С увеличением сопротивления канала транзистора VT2 образуется делитель напряжения состоящий из VT2-R4 и VT3-R5. Напряжение на затворах транзистора VT4, VT5 в установившемся режиме определяется выражением:

$$U_{3VT5} = 12B \frac{R_4 + R_{VT2}}{R_4 + R_{VT2} + R_5 + R_{VT3}}, \quad (5)$$

Из данного выражения можно определить максимальные значения резисторов R4, R5 и сопротивления открытых каналов транзисторов R_{VT2} , R_{VT3} . Момент времени t_2 определяется достижением напряжения $U_{зи(th)VT5}$ уровня порогового напряжения открытия транзистора VT5.

Интервал времени t_2-t_3

На этом интервале времени транзистор VT5 находится в активном режиме и ток I_{CVT5} начинает расти. В тоже время увеличения проводимости транзистора VT5 обеспечивает контур протекания тока, паразитных емкостей транзисторов УТ, транзистора VT3 и небольшой ток утечки по контуру VT4-R6, VT5-R7. Момент времени t_3 определяется началом спада напряжения на $U_{сиVT5}$.

Интервал времени t_3-t_4

На данном интервале времени продолжается разряд паразитных емкостей за счет этого возникает «полочка напряжения». Данный интервал времени определяется суммой паразитных емкостей транзисторов УТ и сопротивления канала VT5. Момент времени t_4 характеризуется достижением значения напряжения на $U_{сиVT2}$ транзистора VT2 больше напряжения питания 3.3 В, в следствии чего диод VD1 закрывается.

Интервал времени t_4-t_5

На данном интервале времени транзистор VT3 обеспечивает протекание тока от источника питания 12 В. в затворы транзисторов VT4, VT5 тем самым увеличивает проводимость транзистора VT5 и снижает проводимость VT4. Через сток-исток транзистора VT5 возрастает ток разряда паразитных емкостей транзисторов УТ. Как видно из диаграмм через сток транзистора VT2 протекает ток утечки, это вызвано зарядом емкости Миллера. Момент времени t_4 характеризуется достижением порогового значения напряжения на затворе транзистора VT3 $U_{зи(th)VT2}$.

Интервал времени t_5-t_6

На данном интервале ток разряда паразитных емкостей транзисторов УТ спадает, напряжения на затворах транзисторов VT4, VT5 продолжает расти. Напряжение на $U_{сиVT5}$ транзистора VT5 спадает. Момент времени t_5 характеризуется достижением тока I_{CVT5} транзистор VT5 максимального значения.

Интервал времени t_6-t_7

Напряжение на выходе драйвера достигает своего минимального значения. Ток транзистора VT4 I_{CVT4} снижается до нуля. Процесс переключения из состояния включенного силового МОП транзистора в состояние выключенного МОП транзистора заканчивается.

На основе представленных алгоритмов работы были синтезированы компьютерная, и затем физическая модель драйвера нижнего ключа проведены исследования, с результатами которых можно ознакомиться в статье «Исследование статических и динамических характеристик драйвера нижнего ключа с повышением логического уровня управляющего сигнала»

Литература

1. Уве Наундроф. Аналоговая электроника. Основы, расчет, моделирование // Москва: Техносфера, 2008. -472 с., ISBN 978-594836-185-7.
2. Пат. US 8.575.987 Соединённые штаты Америки level shift circuit опубликован 5.11.2013.
3. Пат. US 6.005.432 Соединённые штаты Америки voltage level shift system and method опубликован 21.12.1999.
4. Пат. US 6.007.683 Соединённые штаты Америки Agilent Technologies, Inc опубликован 6.07.2002.

Тюнин Сергей Сергеевич

Аспирант каф. Промышленной электроники (ПрЭ)
Тел: +7 (923) – 401-72-99
Эл.почта: tun89@mail.ru

Бородин Данил Борисович

Аспирант каф. Промышленной электроники (ПрЭ)
Тел: +7 (952) – 881-65-61

Эл.почта: bogodindanila@mail.ru

Кабилов Вагиз Александрович

Зав. Лаб ГПО каф. Промышленной электроники (ПрЭ)
Тел.: +7 (391-3) 12-34-56
Эл. почта: fva@vipelec.com

Семенов Валерий Дмитриевич

Канд.техн.наук, профессор каф. Промышленной электроники ТУСУРа
Тел.: +7 (913)-821-24-77
Эл. почта:svd@ie.tusur.ru

Tyunin S.S., Borodin D.B., Kabirov V.A., Semenov V.D.

Название статьи

Presented algorithm development and operation of the lower key driver for driving the power MOS - transistor module voltage stabilization of the spacecraft.

Keywords: driver algorithm, improving the logic level circuit, analog converters, a transistor.
89234017299